



# 第3章 存储系统

## 3.1 存储器概述

## 3.2 半导体随机读写存储器

## 3.3 半导体只读存储器

## 3.4 半导体存储器的容量扩展

## 3.5 高速存储器

## 3.6 Cache存储器

## 3.7 虚拟存储器

## 本章小结

## 习题3





第二章作业：

P109 1. (1) (5) (8) ; 5 ; 30





复习：

- 1、要检验数据在传输过程中是否发生了改变，采用\_\_\_\_\_思想实现数据校验。
- 2、奇偶校验码在原数据中增加了\_\_\_\_位校验位，合法码字的Hamming距离是\_\_\_\_，因此只能检验\_\_\_\_错，能纠\_\_\_\_位错。假如原始数据为8位，增加了奇校验位后，数据的传输效率为原来的\_\_\_\_\_。
- 3、奇校验码的定义是\_\_\_\_\_，如何验证一个编码是奇编码？
- 4、现在把每个信息(c0,c1)重复三遍，扩充成一个六维纠错码  
(c0,c1,c0,c1,c0,c1)

请问，该纠错码能检查几位错误？能纠正几位错误？





## 3.1 存储器概述

### 3.1.1 存储器的分类

易失性存储介质 v.s 非易失性存储介质

最小的存储单位：bit（位）

最小的访问单位是：Byte（字节）

每个字节都有一个物理地址以供访问。

由若干个字节构成字：word（多字节数据对象）

总是用“字”中地址最小的字节地址作为“字地址”

顺序存取存储介质：磁带，磁盘

随机存取存储介质：磁盘，内存（直接通过地址就可存取单元）





## 3.1.2 存储器的层次结构

为实现用户“容量大、速度快、价格低”的要求，仅用单一的一种存储器很难达到这一目标，较为理想的方法就是采用存储层次。所谓存储层次，是指计算机系统的存储器部分由多种不同的存储器构成，由操作系统和硬件技术来完成程序的定位，使之成为一个完整的整体，又称为存储体系。



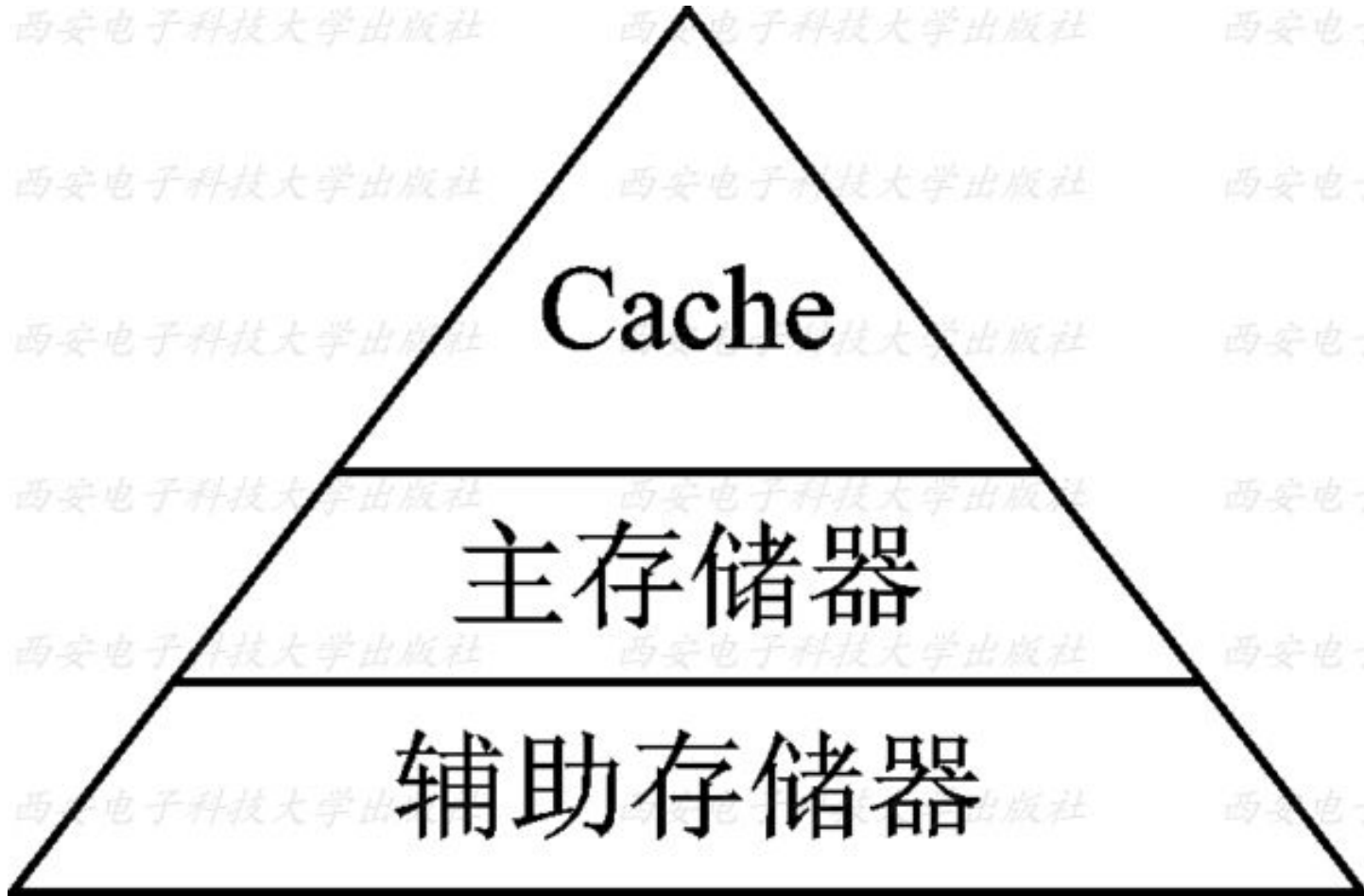


图3.1 存储器的层次结构





### 3.1.3 主存储器的主要技术指标

$$1 \text{ KB} = 2^{10} \text{ B},$$

$$1 \text{ MB} = 2^{20} \text{ B},$$

$$1 \text{ GB} = 2^{30} \text{ B},$$

$$1 \text{ TB} = 2^{40} \text{ B},$$

$$1 \text{ PB} = 2^{50} \text{ B},$$

$$1 \text{ EB} = 2^{60} \text{ B}。$$





## 3.2 半导体随机读写存储器

半导体随机读写存储器（RAM）按存储元件在运行中能否长时间保存信息可分为静态读写存储器（**SRAM**）和动态读写存储器（**DRAM**）。

- 1、SRAM利用**双稳态触发器**来保存信息，只要不断电，信息是不会丢失的；
- 2、DRAM利用**电容存储电荷的特性**来保存信息，使用时需定期给电容充电才能保持信息。
- 3、SRAM的**存取速度快**，但集成度低、功耗大；DRAM集成度高、功耗小，但**存取速度相对要慢**一些，它主要用于大容量存储器。







## 3.2.1 SRAM

### 1. 基本存储元

基本存储元是组成存储器的基础和核心，它用来存储一位二进制信息0或1。

图3.2是由六个MOS管组成的SRAM存储元的电路图。它是由 $V_1 \sim V_4$ 组成两个反相器交叉耦合而成的触发器。一个存储元存储一位二进制信息，如果一个存储单元为n位，则需要n个存储元才能组成一个存储单元。



X地址译码线

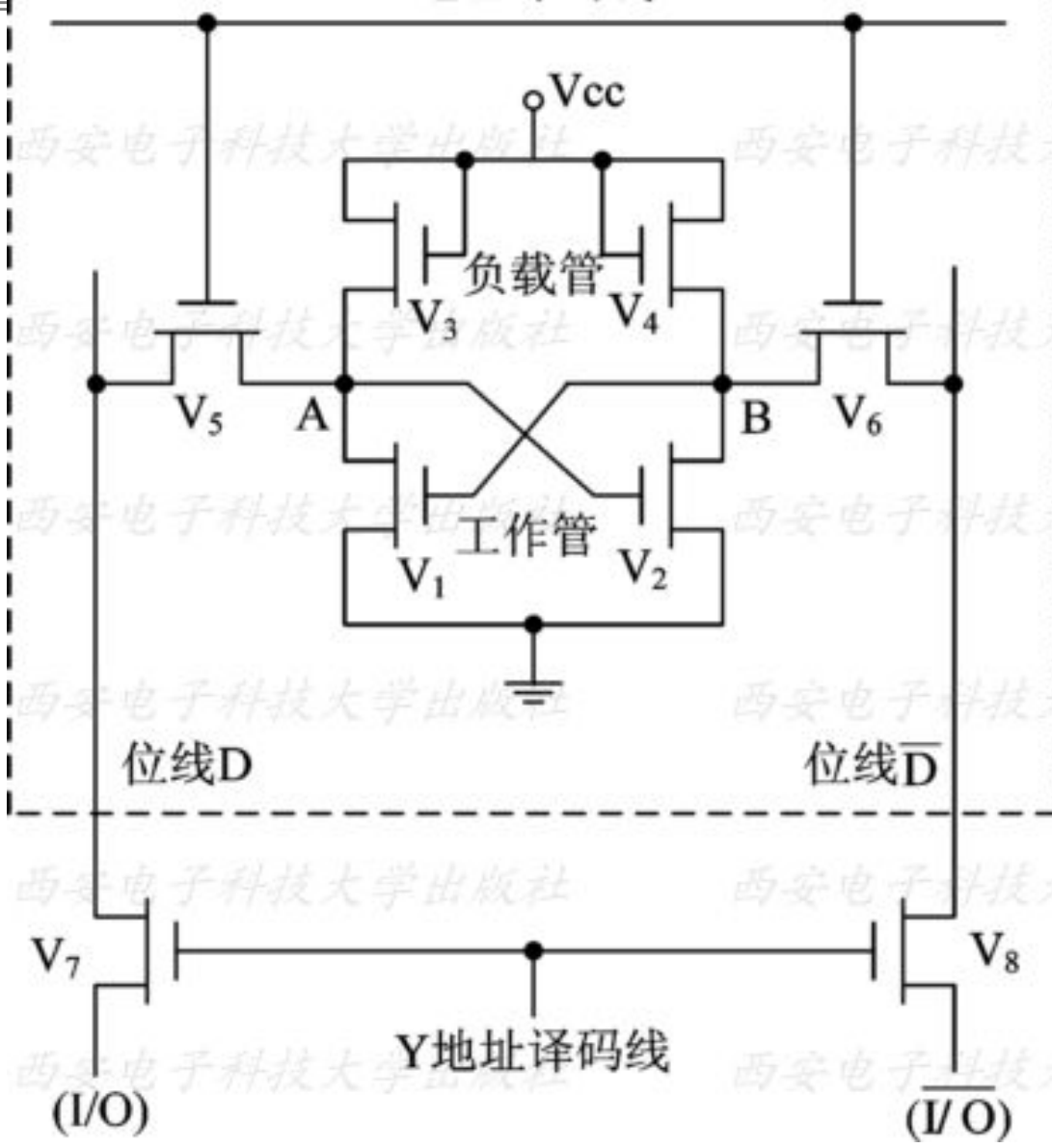


图3.2 六管SRAM存储元





图3.2中， $V_1$ 、 $V_2$ 是工作管， $V_3$ 、 $V_4$ 是负载管。

- 1、若 $V_1$ 截止，A点为高电位，使 $V_2$ 管导通，此时B点处于低电位，而B点的低电位又使 $V_1$ 更加截止，因此，这是一个稳定状态。
- 2、反之，如果 $V_1$ 导通，则A点处于低电位，使 $V_2$ 管截止，这时B点处于高电位，而B点处于高电位又使 $V_1$ 管更导通，因此，这也是一个稳定状态。
- 3、显然，这种电路有两个稳定状态，并且A、B两点的电位总是互为相反的。如果假定A点高电位代表“1”，A点低电位代表“0”，那么，这个触发器电路就能表示一位二进制的1或0。





$V_5$ 、 $V_6$ 、 $V_7$ 、 $V_8$ 是读、写操作的控制门。读操作时，X地址译码线（字选择线）和Y地址译码线（位选择线）为高电平，该存储元被选中，存储元中的 $V_5$ 、 $V_6$ 、 $V_7$ 、 $V_8$ 管均导通，存储元中的信息就会经位线D和 $\overline{D}$ 流出。在I/O与 $\overline{D}$ 线连接一个**差动式读出放大器**，从其电流方向，可以判断所存信息是“1”还是“0”。





1、写操作时，如果要写入“1”，则在I/O线上输入高电位，而在  $\overline{I/O}$  线上输入低电位，并通过开启 $V_5$ 、 $V_6$ 、 $V_7$ 、 $V_8$ 四个MOS管，把高、低电位分别加在A、B两点，从而使 $V_1$ 管截止， $V_2$ 管导通。

2、当输入信号及地址选择信号消失以后， $V_5$ 、 $V_6$ 、 $V_7$ 、 $V_8$ 管都会截止，触发器就会保持状态不变，从而将“1”写入存储元。写“0”的方法与写“1”的方法类似，在I/O线上输入低电位，而在  $\overline{I/O}$  线上输入高电位，开启 $V_5$ 、 $V_6$ 、 $V_7$ 、 $V_8$ 四个MOS管，把低、高电位分别加在A、B两点，从而使 $V_1$ 管导通， $V_2$ 管截止，于是“0”信息被写入了存储元。





## 2. SRAM存储器的逻辑结构

一个SRAM存储器由存储体、读写电路、地址译码电路和控制电路组成。图3.3表示存储容量为1K×8位的SRAM逻辑结构图。

存储体是存储单元的集合。在较大容量的存储器中，往往把**每个字的同一位组织在一个集成片中**。图3.3中所示SRAM的字长为8位。



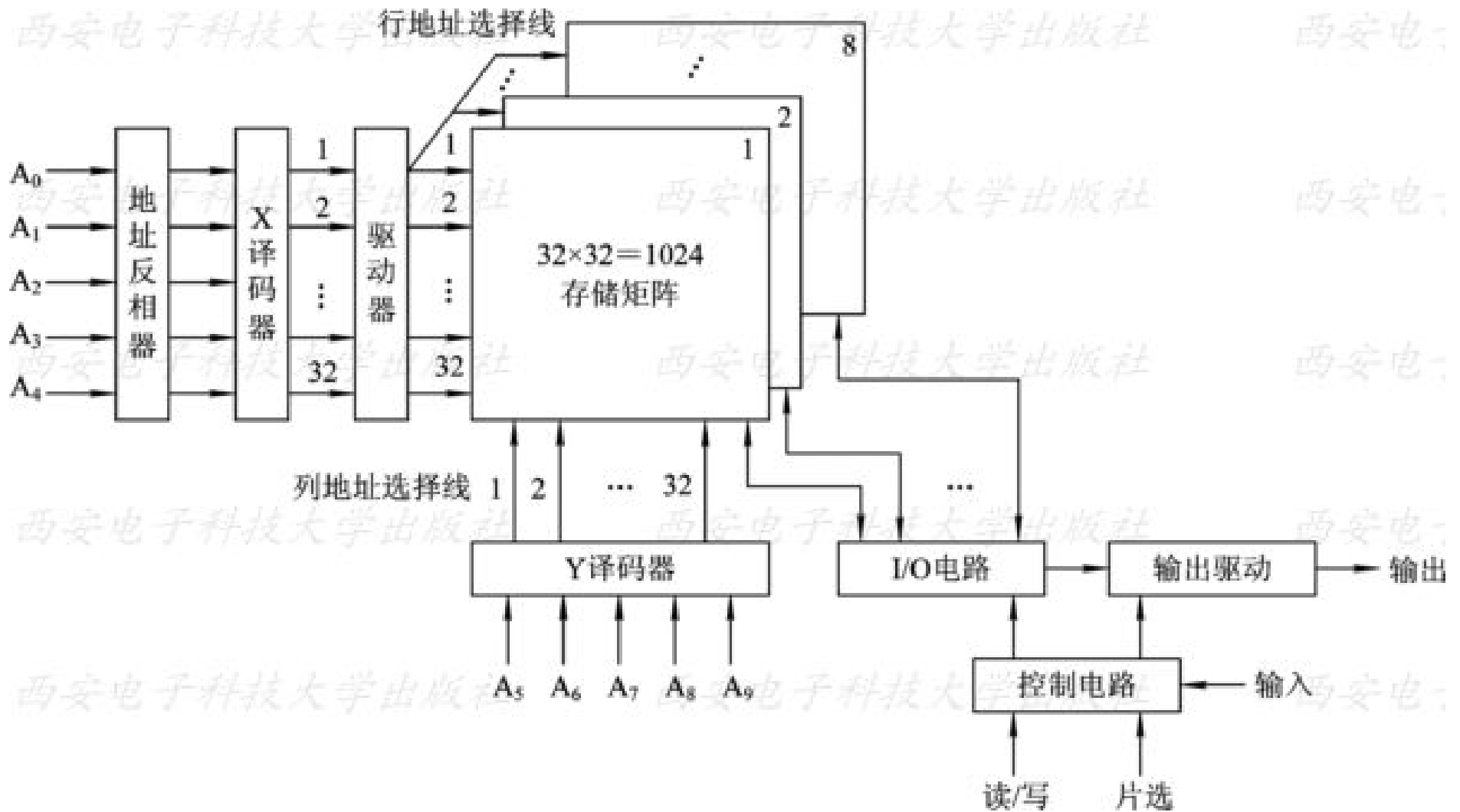


图3.3 SRAM存储器的逻辑结构图





地址译码有两种方式：一种是单译码方式，适用于小容量存储器；另一种是双译码方式，适用于大容量存储器。目前的SRAM芯片都采用双译码方式。这种译码方式将地址译码器分成X向（行译码）和Y向（列译码）两个译码器。如图3.3中SRAM有10条地址线，X向和Y向各有5条地址线，经过译码后各产生32个输出状态，那么两个译码器再进行交叉译码后，就可译出1024（ $2^{10}$ ）个输出状态。采用双译码结构，可以减少选择线的数目。







由于在双译码结构中，一条X方向选择线要控制挂在其上的所有存储元电路，故其所带的电容负载很大。为此，需要在译码器输出后加**驱动器**，由驱动器驱动挂在各条X方向选择线上的所有存储元电路。⊠

I/O电路处于数据总线和被选用的单元之间，用以控制被选中的单元读出或写入，并具有放大信息的作用。⊠

只有当片选信号  $\overline{CS}$  **有效时**，才能选中某一片，此片所连的地址线才有效，然后再根据读/写信号  $\overline{WE}$  来决定对该片上的存储元进行读操作或写操作。





### 3. SRAM的读/写周期

图3.4是SRAM读/写周期波形图，该图精确地反映了SRAM工作的时间关系。

在读周期中：

- 1、地址线先有效，以便进行地址译码，选中存储单元。
- 2、为了读出数据，片选信号  $\overline{CS}$  必须由高电平变为低电平，即变为有效信号。从地址有效开始经过  $t_A$  时间（即读出时间），数据总线I/O上便出现了有效的读出数据，然后  $\overline{CS}$  信号恢复高电平。
- 3、经过  $t_{RC}$  时间后才允许地址信号发生改变， $t_{RC}$  时间称为读周期时间。



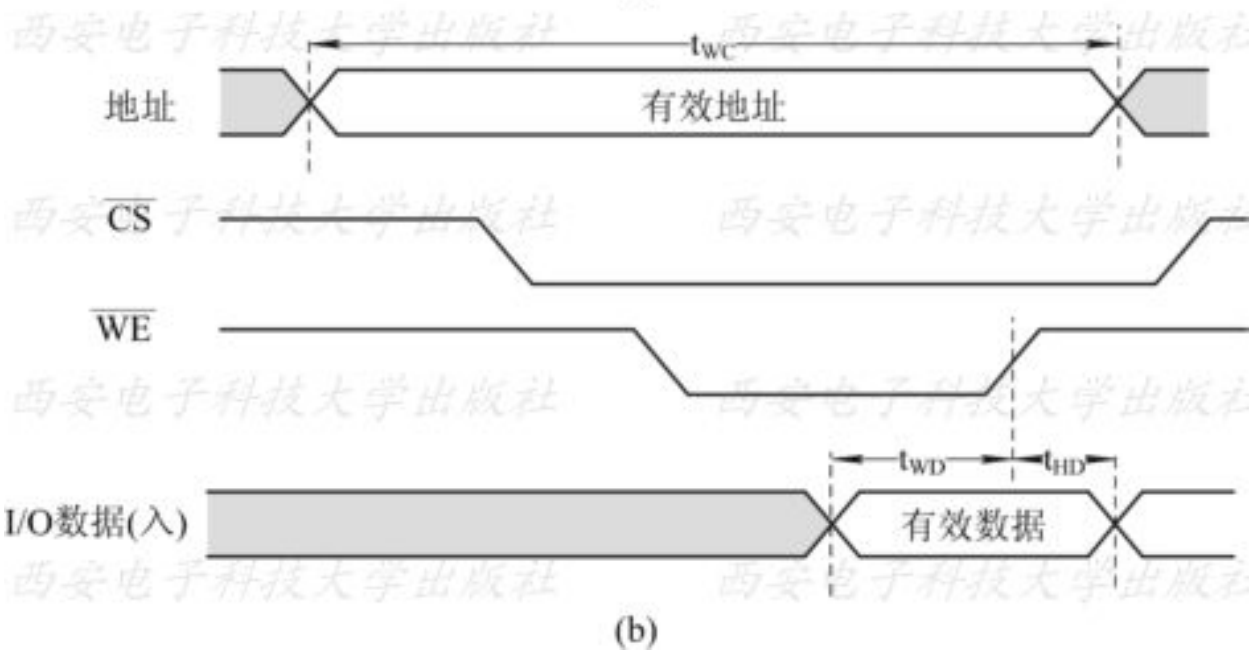
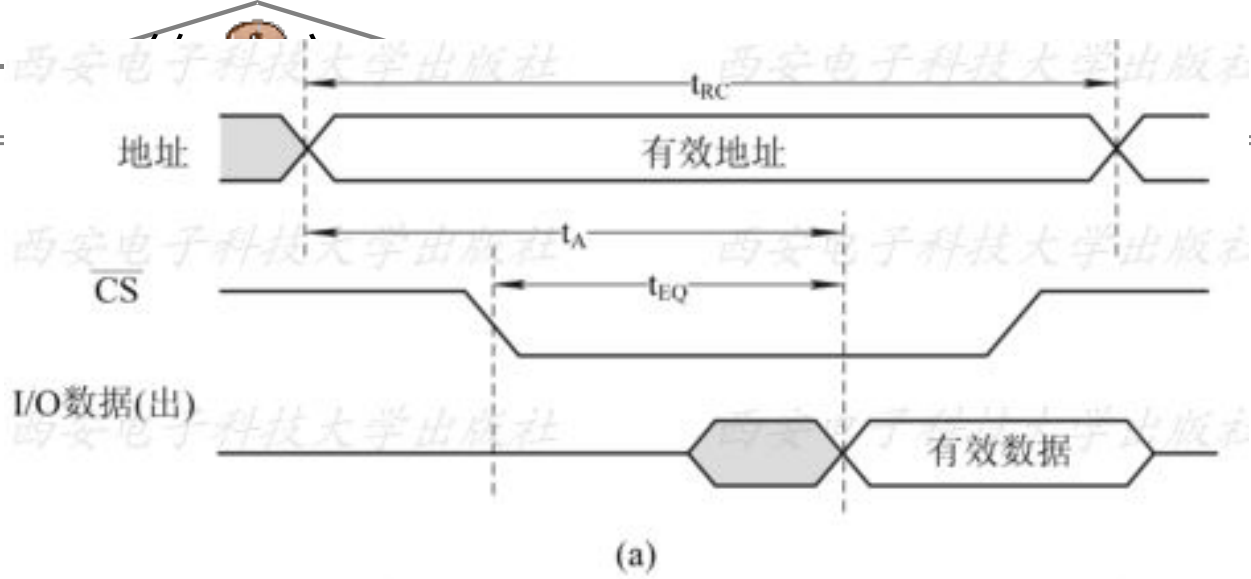


图3.4 SRAM读/写周期波形图

(a) 读周期 ( $\overline{WE}$  高) ; (b) 写周期 ( $\overline{WE}$  低)





读周期时间与读出时间是两个不同的概念，读周期时间 $t_{RC}$ 表示对存储芯片进行连续两次读操作时所必须间隔的时间，它总是大于或等于读出时间。☒

在写周期中，同样也是地址线先有效，接着片选信号 $\overline{CS}$ 有效，写命令 $\overline{WE}$ 有效（低电平有效），此时数据总线I/O上必须放置写入数据，在 $t_{WD}$ 时间将数据写入存储器，之后撤消 $\overline{WE}$ 和 $\overline{CS}$ 信号。为了可靠写入，I/O线的写入数据要维持 $t_{HD}$ 时间， $\overline{CS}$ 的维持时间也比读周期长。 $t_{WC}$ 时间称为写周期时间。为了控制方便，一般取 $t_{RC} = t_{WC}$ ，通常称为存取周期。





**[例3.1]** 图3.5(a)是SRAM的写入时序图。其中 $\overline{R/W}$ 是读/写命令控制线。当 $\overline{R/W}$ 线为低电平时，存储器按给定地址把数据线上的数据写入存储器。请指出图3.5(a)写入时序中的错误，并画出正确的写入时序图。⊠

**解：**写入存储器的时序信号必须同步。通常，当 $\overline{R/W}$ 信号为低电平时，地址线和数据线的电平必须是稳定的。当信号达到低电平时，数据立即被存储。因此，当 $\overline{R/W}$ 信号处于低电平时，如果数据线改变了数值，那么存储器将存储新的数据⑤。同样，当 $\overline{R/W}$ 处于低电平时地址线发生了变化，那么同样数据将存储到新的地址②或③。正确的写入时序如图3.5(b)所示。



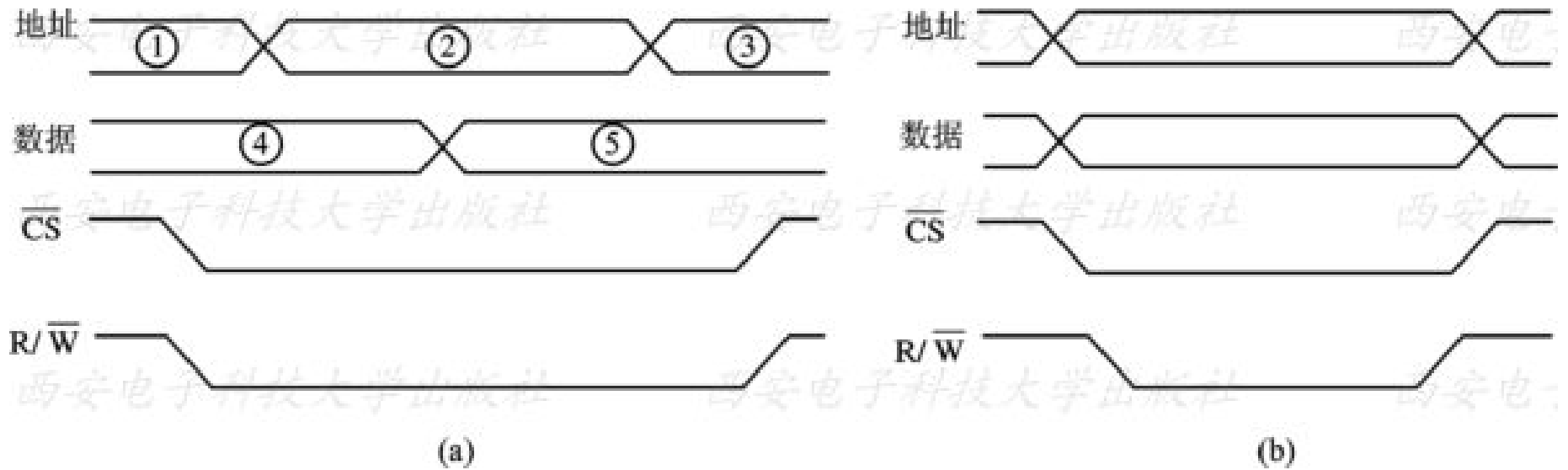
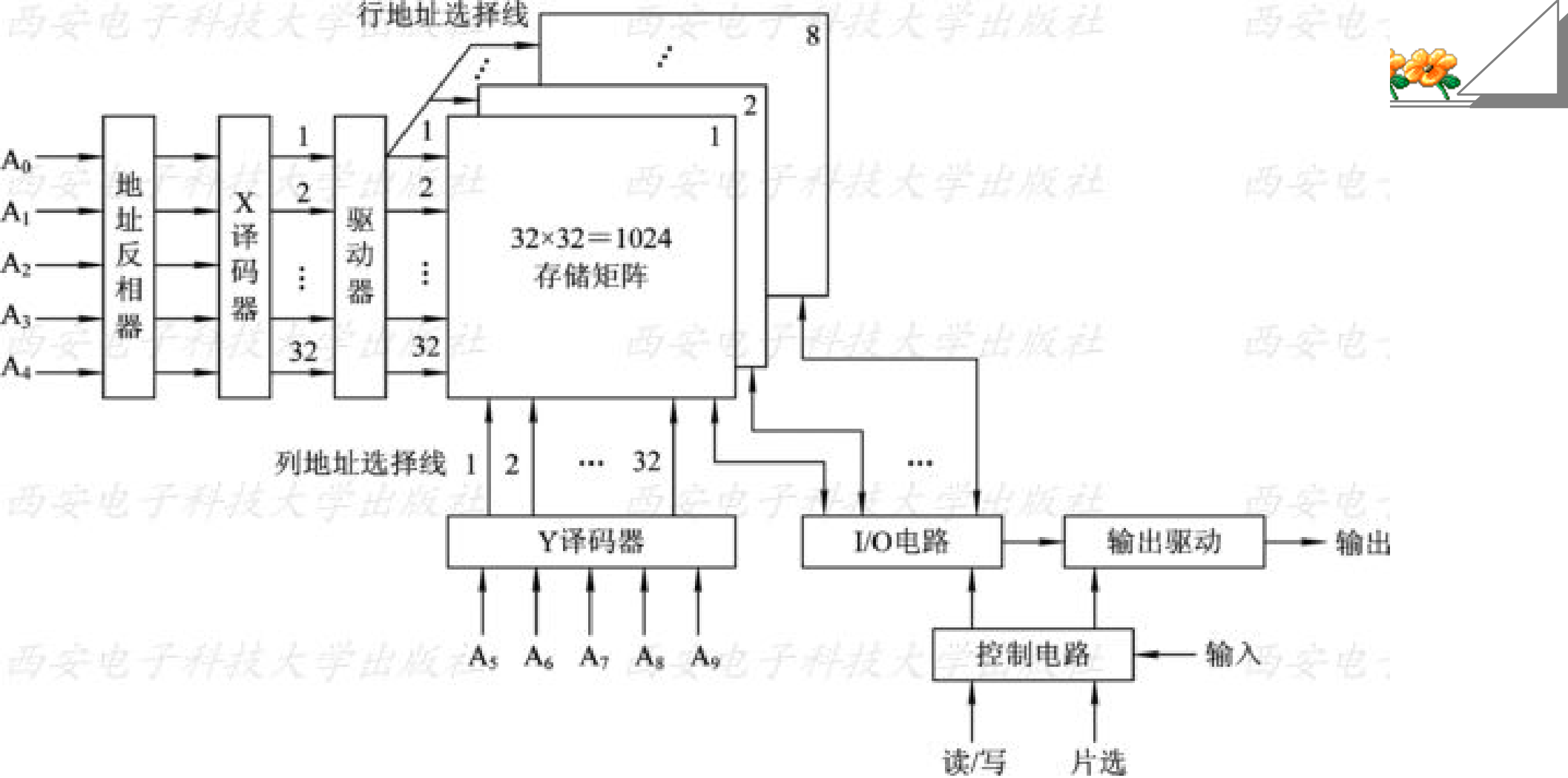


图3.5 SRAM的写入时序图

(a) 错误时序;

(b) 正确时序





- 1、存储容量= word数 X 一个word的位数=总位数
- 2、存储体由8个集成片构成，每个字的同一位组织在一个集成片中
- 3、5位行和5位列地址选中的是一个字
- 4、片选信号选中的是整个存储体，而不是其中的集成片。





## 3.2.2 DRAM

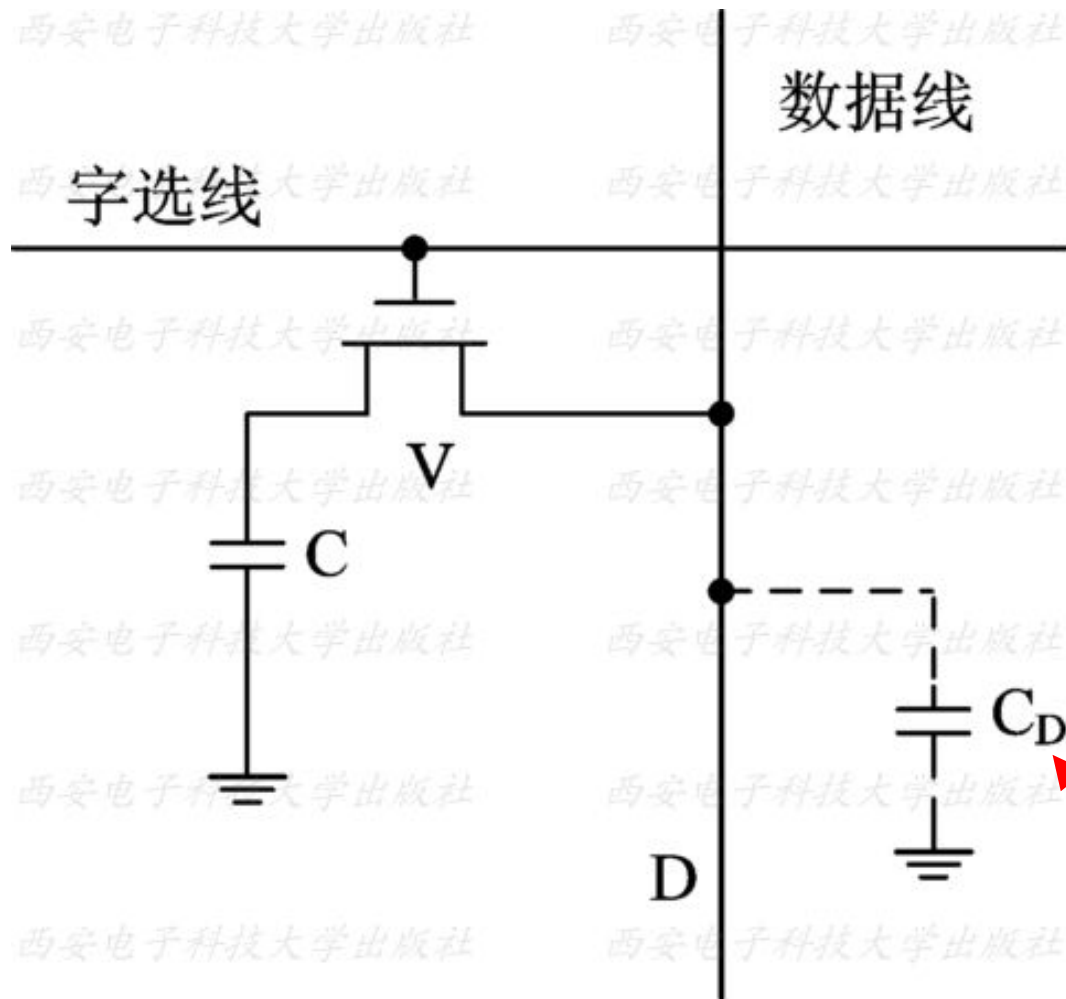
### 1. 单管动态存储元，早期是四管或三管电路

为了缩小存储器的体积，提高集成度，人们设计出了单管动态存储元。单管动态存储元电路如图3.6所示，它由一个MOS管 $V_1$ 和一个电容 $C$ 构成。

写入“1”时，输入数据“1”送到存储元数据线（位线），字选择线为高电平， $V$ 导通，于是数据线的高电平给电容器充电，表示存储了1。写入“0”时，输入数据“0”送到存储元数据线（位线）上，字选择线为高电平， $V$ 导通，于是电容上的电荷通过MOS管和位线放电，表示存储了0。







- 1、 $C_D$  远大于C
- 2、当从存储元中读数据时，字选线=1，V导通，于是C向 $C_D$ 充电，数据线上有电流，其电压= $U_c C / (C + C_D)$ 。由于 $C_D$ 远大于C，因此数据线上的电压很小。需要敏感读出放大器。

位于位线上的分布电容

图3.6 单管DRAM存储元





读出数据时，当字选择线为高电平时， $V$ 导通。若电容 $C$ 上原先充有电荷，则电容 $C$ 放电，此时若在数据线上连接一个**读出放大器**，电容 $C$ 上所存储的1就送到位线上。若电容 $C$ 上没有电荷，则数据线无电位变化，读出放大器无输出，表示电容 $C$ 上存储的是0。⊠

由于存储元将信息以电荷的形式存储上电容上，电路中不可避免地存在漏电流，这样存储的信息只能保持较短的时间，通常是若干毫秒。为了使信息存储更长的时间，必须由**外界按一定的规律不断地给存储元中的电容器进行充电，补足所需的信息电荷，这就是所谓的“再生”或“刷新”。**





经过读操作后，电容C原来的电荷都会被泄漏，所以**DRAM的读操作是一种破坏性读出，必须在读出数据之后紧跟一个重写，给电容C充电以恢复原来的信息**。依照这种思路，当DRAM中某个区域长期没有被读写，担心其中信息被丢失的时候，只要对其进行一次以刷新为目的的读操作，电容C上的电荷就会得到补充，也就实现了刷新。⊠

单管存储元电路的元件数量少，集成度高，速度快，芯片占用面积小，但其读出信号的电平差别很小，要求有高灵敏度的读出放大器配合工作才可区别“1”和“0”。





## 2. DRAM存储器的逻辑结构

图3.7是Intel 2164A DRAM芯片的内部结构图。Intel 2164A芯片的存储容量为**64 K×1**位，采用单管动态基本存储电路，每个单元只有一位数据。2164A芯片的存储体本应构成一个256×256的存储矩阵，为提高工作速度(需减少行/列线上的分布电容)，将存储矩阵分为4个128×128矩阵，每个128×128矩阵配有128个读出放大器，各有一套I/O控制(读/写控制)电路。每个128×128的存储矩阵，由7位行地址和7位列地址进行选择。



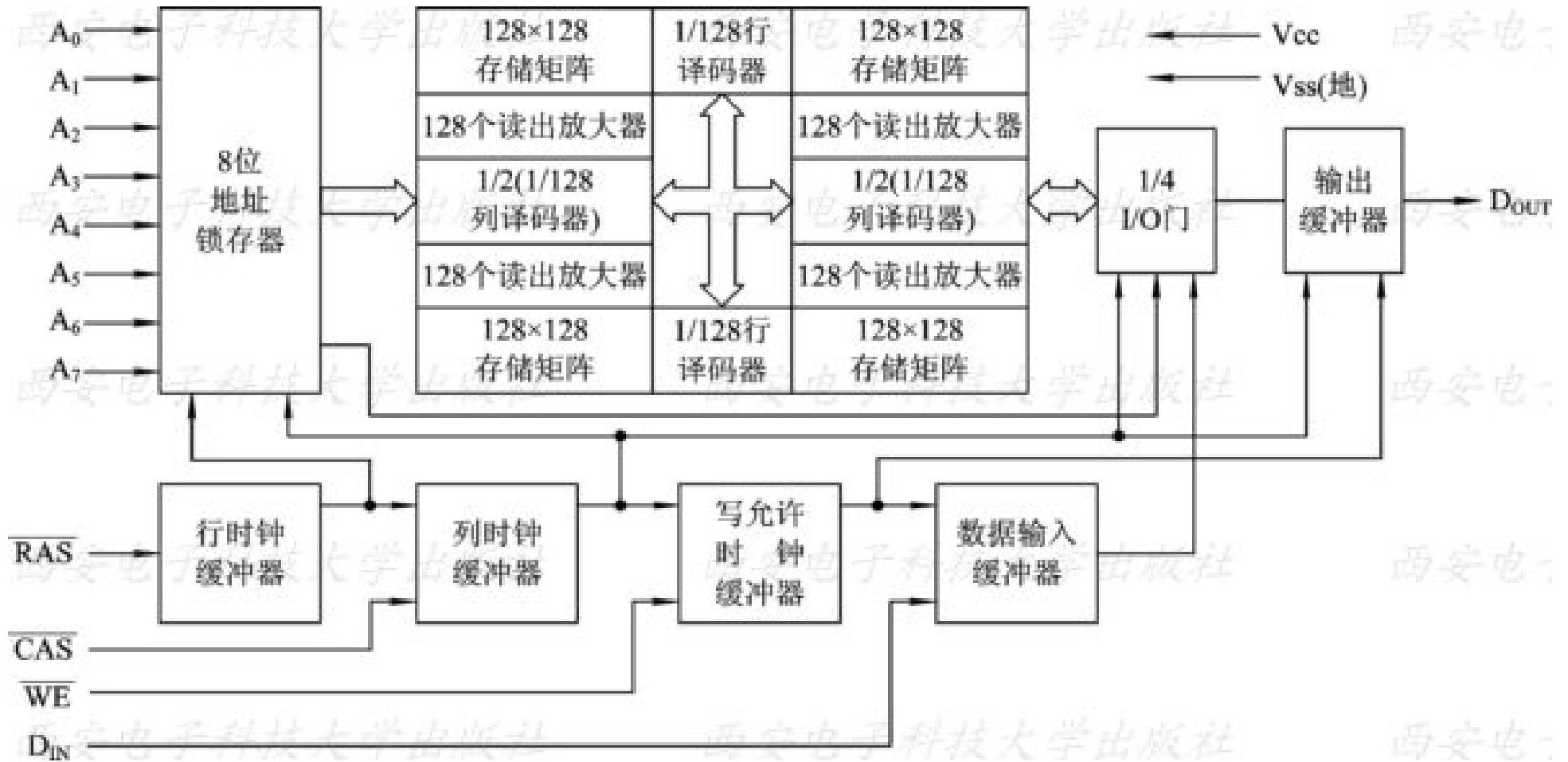


图3.7 Intel 2164A内部结构示意图





7位行地址经过译码产生128条选择线，分别选择128行中的一行；7位列地址经过译码产生128条选择线，分别选择128列中的一列。7位行地址 $RA_0 \sim RA_6$ （即地址总线的 $A_0 \sim A_6$ ）和7位列地址 $CA_0 \sim CA_6$ （即地址总线的 $A_8 \sim A_{14}$ ）可同时选中4个存储矩阵中各一个存储单元，然后由 $RA_7$ 与 $CA_7$ （即地址总线中的 $A_7$ 和 $A_{15}$ ）经1/4 I/O门电路选中1个单元进行读/写。





Intel 2164A内部有 $4 \times 128$ 个读出放大器，在进行刷新操作时，芯片只接收从地址总线上发来的行地址（其中 $RA_7$ 不起作用），由 $RA_0 \sim RA_6$ 共7根行地址线在4个存储矩阵中各选中一行，共 $4 \times 128$ 个单元，分别将其中所保存的信息输出到 $4 \times 128$ 个读出放大器中，经放大后，再写回到原单元，即可实现512个单元的刷新操作。这样，经过128个刷新周期就可完成整个存储体的刷新。





图3.7中的地址锁存器包括一个8位行地址锁存器和一个8位列地址锁存器。64K×1位容量本需16位地址，但芯片引脚只有8根地址线，A0～A7需分时复用。在行地址选通信号RAS控制下先将8位行地址送入行地址锁存器，锁存器提供8位行地址RA<sub>7</sub>～RA<sub>0</sub>，译码后产生两组行选择线，每组128根。然后在列地址选通信号CAS控制下将8位列地址送入列地址锁存器，锁存器提供8位列地址CA<sub>7</sub>～CA<sub>0</sub>，译码后产生两组列选择线，每组128根。







### 3. DRAM的读/写周期

图3.8 (a) 示出了DRAM的读周期波形图。当地址线上行地址有效后，用行选通信号  $\overline{\text{RAS}}$ （低电平有效）将其打入行地址锁存器；接着地址线上传送列地址，并用列选通信号  $\overline{\text{CAS}}$ （低电平有效）将其打入列地址锁存器。此时经行、列地址译码，读/写命令  $\overline{\text{R/W}} = 1$ （高电平有效），数据线上便有输出数据。图3.8 (b) 为DRAM的写周期波形。此时读/写命令  $\overline{\text{R/W}} = 0$ （低电平有效），在此期间，数据线上必须送入欲写入的数据  $D_{\text{IN}}$  (1或0)。



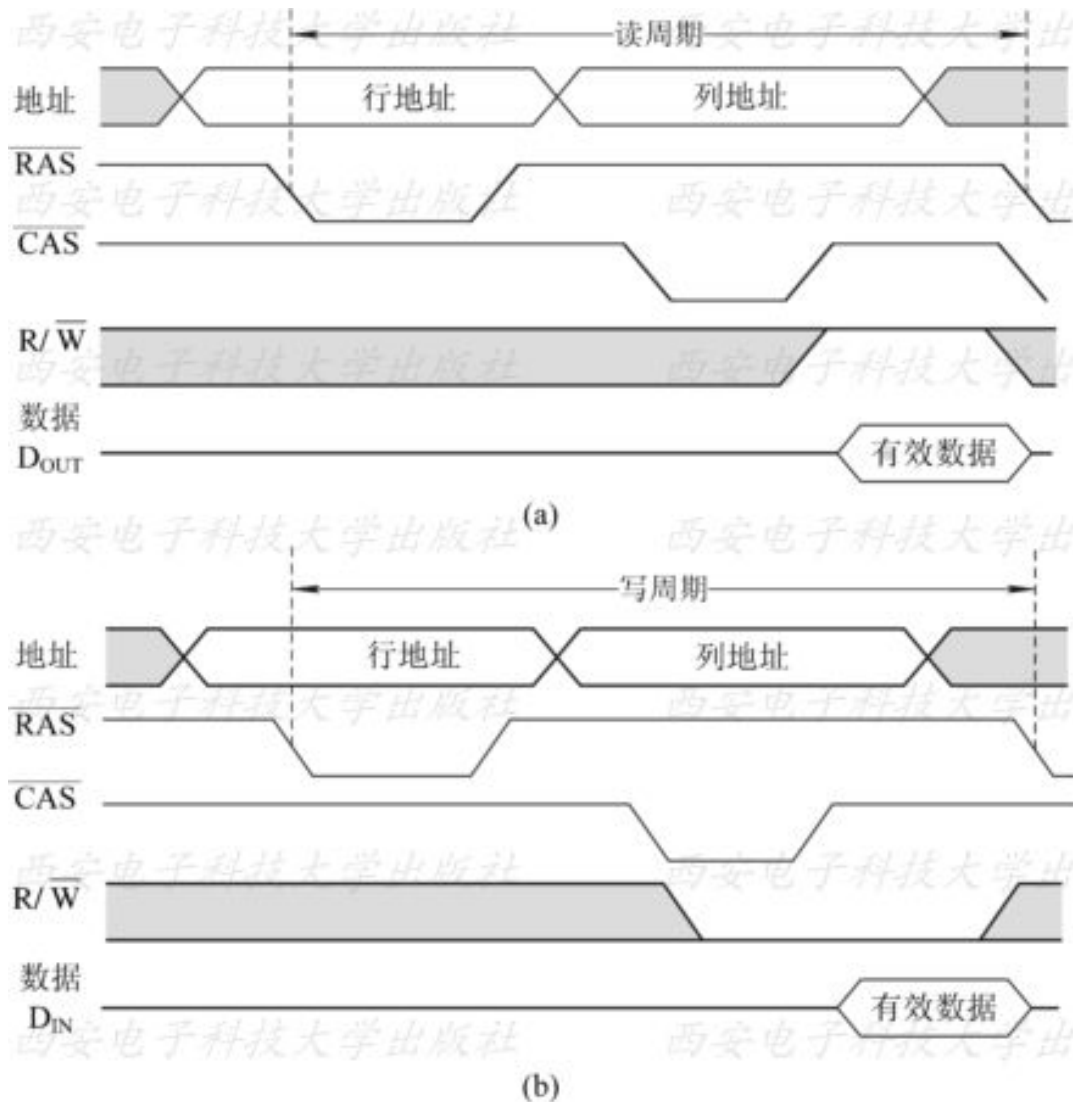


图3.8 DRAM的读/写周期

(a) 读周期；(b) 写周期





## 4. DRAM芯片的刷新过程

由前面内容知道，DRAM存储元是将信息以电荷的形式存储在电容上的，电容上的电荷量会随着时间的推移而减少，因此必须定期地刷新，以保持它们原来记忆的正确信息。通常每次刷新会对一行中所有存储元的信息电荷进行补充。从上一次对整个存储器刷新结束到下一次对整个存储器全部刷新一遍为止，这一段时间间隔称为刷新周期。一般标准是每隔2 ms到16ms必须刷新一次，而某些器件的刷新周期可以大于100 ms。





## 5. 新型DRAM存储器

### (1) SDRAM(Synchronous DRAM)。

SDRAM称为同步型动态存储器。SDRAM的操作要求与系统时钟相同步，这种同步的操作，使得SDRAM的结构与其他非同步型DRAM不同。SDRAM与系统时钟同步，采用**流水线处理方式**，当指定一个特定地址后，SDRAM就可读/写多个数据，即实现猝发式传送。以读为例，具体步骤是：第一步，指定地址；第二步，把数据读出送到输出电路；第三步，输出数据到CPU。这三步操作是分别独立进行的，且与CPU同步。这就是SDRAM高速的关键所在。而在非同步DRAM中，CPU必须从头到尾执行完这三步，然后才能开始下一地址的读/写操作，因此速度慢。





## (2) DDR(Double Data Rate) SDRAM。

DDR SDRAM是双数据传输速率的SDRAM，一般称之为DDR。与SDRAM不同的是，DDR SDRAM时钟的上边沿和下边沿都能读出数据（读出时预取2位），当存储器芯片内部工作频率为100 MHz（DDR200）时，由它组成的内存条的数据传输率可达1.6 GB/s。从DDR200开始，经过DDR266、DDR333，发展到今天的双通道DDR400技术，已走到了技术的极限。☒

DDR能沿用SDRAM的工艺生产线。DDR内存条的尺寸与SDRAM相同，但引脚数不同，SDRAM为168针，DDR为184针。DDR的电源电压为2.5 V。





### (3) DDR2与DDR3。

DDR2与DDR内存技术最大的区别在于：虽然都采用了在时钟的上边沿/下边沿进行数据传送的基本方式，但DDR2却拥有4位数据预取能力。DDR2内存每个时钟能以4倍外部总线的速度读/写数据。DDR2的电压为1.8 V，降低了能耗，延长了笔记本电脑电池的寿命。当芯片内部频率为100 MHz时，等效的传输速率为400 MHz（DDR2-400），数据传输率为3.2 GB/s。由DDR2组成的内存条的引脚为240针。

DDR3将预取的能力提升到8位，其芯片内部的工作频率只有外部频率的1/8，即DDR3-800的内部工作频率只有100 MHz。工作电压为1.5 V，可以用于游戏机的显卡中。

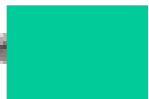




#### (4) CDRAM(Cache DRAM)。

CDRAM称为带Cache的动态存储器，它通过在DRAM芯片内集成了一个容量小的SRAM来实现高速缓存，从而使DRAM芯片的性能得到显著改进。☒

采用CDRAM结构除了可以改进存储器的性能外，还有另外两个优点：一是在SRAM读出期间可以同时DRAM进行刷新；二是芯片内的数据输出路径与数据输入路径是分开的，允许在写操作完成的同时来启动同一行的读操作。☒





## 3.3 半导体只读存储器

### 3.3.1 半导体只读存储器的分类

前面介绍的DRAM和SRAM均属于可任意读/写的随机存储器，当掉电时，所存储的内容立即消失，所以是**易失性存储器**。下面介绍的半导体只读存储器，即使掉电，所存储的内容也不会丢失。顾名思义，只读的意思是在它**工作时**只能读出，不能写入。所以其中存储的原始数据，必须**在它工作以前写入**。

只读存储器由于工作可靠，保密性强，在计算机系统中得到了广泛的应用。根据半导体制造工艺的不同，只读存储器可分为MROM、PROM、EPROM和EEPROM。







## 1. MROM (Mask ROM, 掩膜式ROM) ☒

MROM由芯片制造商在制造时写入内容，以后只能读而不能写入。其基本存储原理是以元件的“有/无”来表示该存储元的信息（1或0），可以用二极管或晶体管作为元件，显而易见，其存储内容是不会改变的。☒

## 2. PROM (Programmable ROM, 可编程ROM) ☒

PROM可由用户根据自己的需要来确定ROM中的内容，常见的熔丝式PROM是以熔丝的接通和断开来表示所存信息为1或0的。刚出厂的产品，其熔丝是全部接通的，使用前，用户根据需要断开某些单元的熔丝（即写入过程，一般使用外加高电压熔断）。断开后的熔丝不能再接通，因此，PROM是一次性写入的存储器，掉电后不会影响其所存储的内容。





### 3. EPROM (Erasable PROM, 紫外线擦除可编程ROM)

紫外线擦除可编程ROM的英文全称为Ultraviolet

Erasable Programmable ROM, 即UVEPROM, 通常为了简便, 简写为EPROM。它的存储内容可以根据需要写入, 当需要更新内容时, 可以使用紫外线照射的方法擦除原来写入的数据, 再写入新的内容。





## 4. EEPROM (Electrically Erasable PROM, 电擦除可编程ROM)

EEPROM也可写成E<sup>2</sup>PROM, 它的编程原理与EPROM相同, 但可用电擦除, 重复改写的次数有限制(因氧化层被磨损), 一般为10万次。对其的读/写操作可按每个位或每个字节进行, 类似于SRAM, 但每字节的写入周期要几毫秒, 比SRAM长得多。EEPROM每个存储单元采用两个晶体管。其栅极氧化层比EPROM薄, 因此具有电擦除功能。☒

在表3.1中列出了几种主要的存储器及其主要的应用。





表 3.1 几种存储器的主要应用

存储器	应用
SRAM	Cache
DRAM	计算机主存储器
MROM	固定程序、微程序控制存储器
PROM	用户自编程序，用于工业控制机或电器中
EPROM	用户编写并可修改程序或产品试制阶段试编程序
EEPROM	IC 卡上存储信息





## 3.3.2 EPROM存储器芯片实例

### 1. EPROM存储元

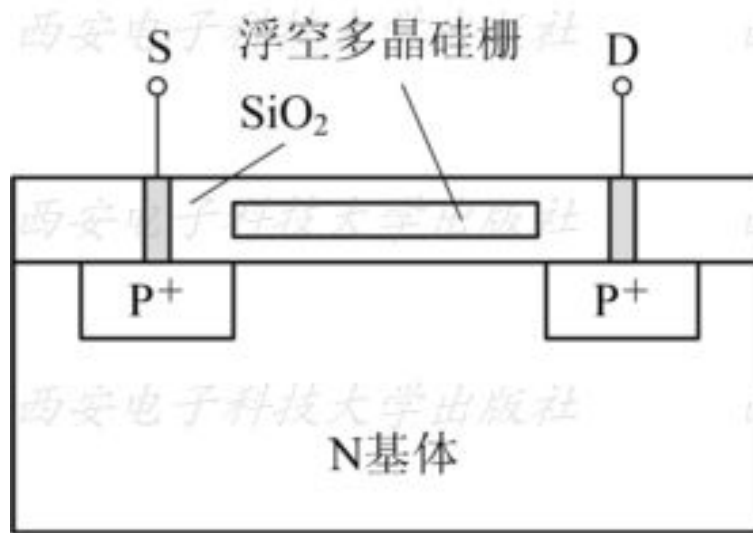
图3.9(a)是存储一位信息的P沟道EPROM结构示意图。在N型硅衬底上制造了两个P<sup>+</sup>区，分别引出源极S与漏极D。在S与D之间，有一个用多晶硅做成的栅极，它被包围在SiO<sub>2</sub>绝缘层中，称之为浮空多晶硅栅。在芯片制成后，写入信息之前，浮空多晶硅栅上没有任何电荷，两个P<sup>+</sup>区之间没有导电沟道，因此在+5 V工作电压下D与S之间不能导通。





西安电子科技大学出版社

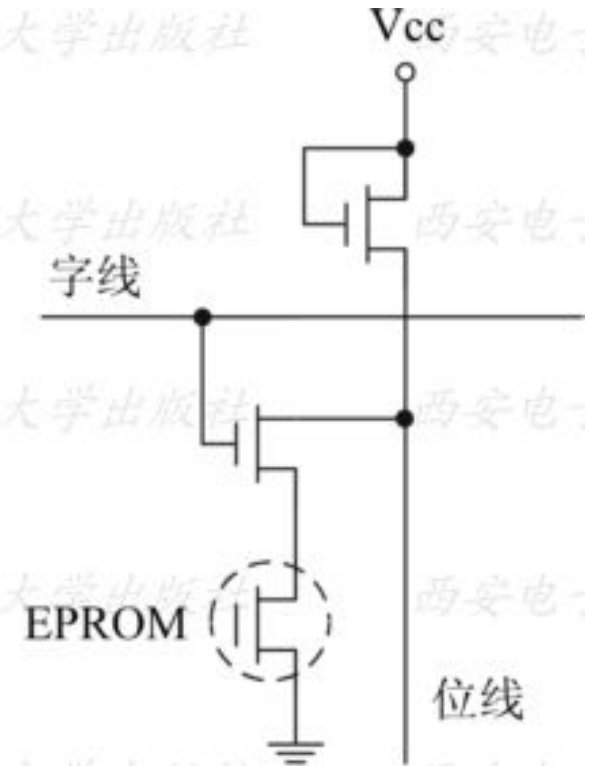
西安电子科技大学出版社



西安电子科技大学出版社

西安电子科技大学出版社

(a)



西安电子科技大学出版社

西安电子科技大学出版社

(b)

图3.9 P沟道EPROM结构示意图

(a) P沟道EPROM结构；(b) 一个基本存储元电路





当把EPROM管子用于存储矩阵时，一个基本存储元电路如图3.9(b)所示，这种电路所组成的存储矩阵输出为全“1”。当写入“0”时，在D与S之间加25 V电压，另外加上编程脉冲，所选中的单元在该电压的作用下，D与S之间被瞬时击穿，由于浮空多晶硅栅与硅基片之间的绝缘层很薄，于是有大量电子通过绝缘层注入到浮空多晶硅栅。当25 V电压撤除后，绝缘层恢复到绝缘状态，浮空多晶硅栅上电子的能量不足以使电子穿越绝缘层。如果不外加能量，浮空多晶硅栅上的电子可以长期保留。





由于浮空多晶硅栅上带负电荷，于是在硅基片的对应一边将形成带正电荷的导电沟道。如果在D与S之间加5 V工作电压，MOS管将呈导通状态，输出为“0”。

EPR0M芯片封装上方有一个石英玻璃窗口，这是EPR0M芯片的外特征。当用紫外线照射这个窗口时（典型方式是用 $12 \text{ mW/cm}^2$ 功率的紫外线灯，照射10~20分钟），浮空多晶硅栅上的电子获得能量，将能穿过绝缘层泄放掉。







浮空多晶硅栅失去电荷后，导电沟道消失，芯片被擦除为全“1”。显然，写入过程可选择字、位逐个地写入“0”，而紫外线擦除则是将整个芯片擦除为全“1”。当击穿写“0”、照射擦除的过程反复进行一定次数后，绝缘层将被永久性地击穿，芯片损坏。因此应当尽量减少重写次数。此外，在阳光或荧光灯照射下时间过长（一周以上），EPROM中的信息也会被丢失。所以，要注意EPROM芯片的使用环境，工作时需用保护膜遮盖窗口，当需要擦除时再打开。





## 2. EPROM实例

常见的EPROM芯片有2716(2 K×8)、2732(4 K×8)、2764(8 K×8)、27128(16 K×8)等几种。图3.10示出了2716的引脚图和内部结构图。2716是一个16K位的EPROM芯片，要求单一的+5 V电源。其中Vpp在片子脱机编程时加+25 V电源，片子正常工作时使用+5 V电源。PD/PGM输入端是功率下降/编程输入端， $\overline{CS}$  是片选端， $A_0 \sim A_{10}$ 为地址输入端。 $D_0 \sim D_7$ 为数据输出端。该片的工作模式选择示于表3.2。



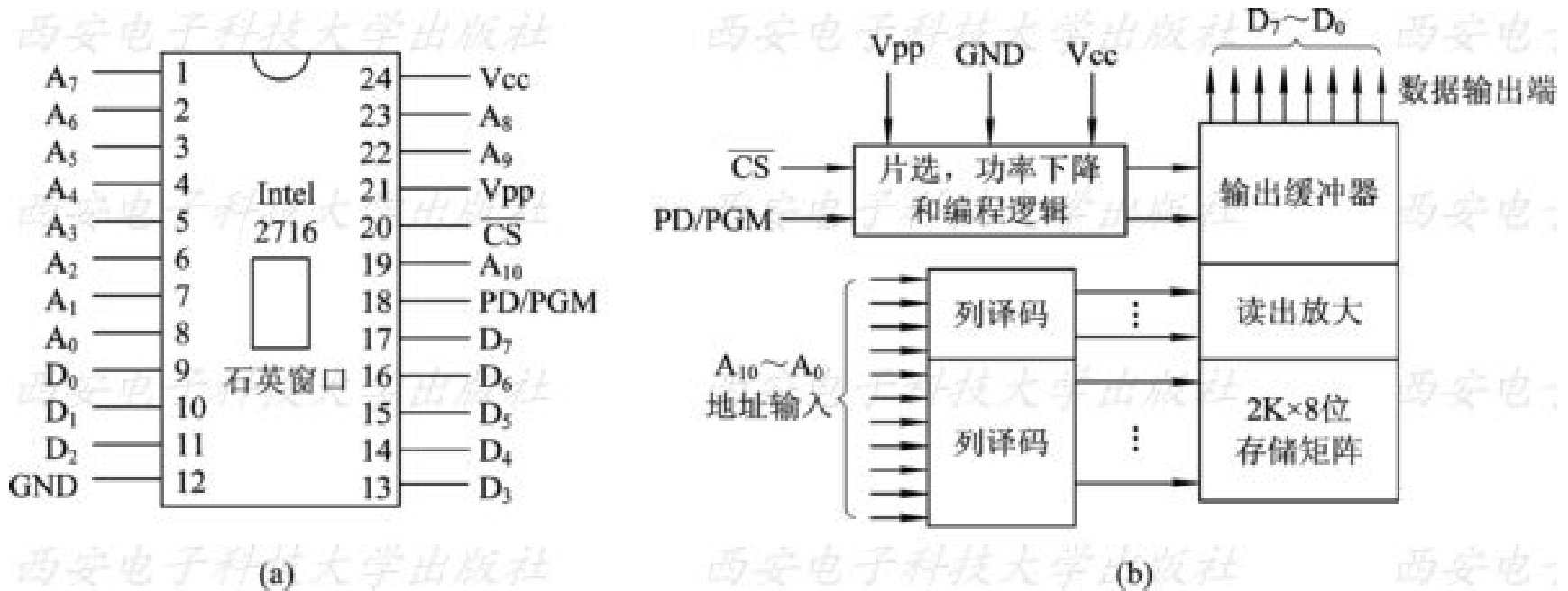


图3.10 2716型EPROM引脚及内部结构图

(a) 引脚图; (b) 内部结构图





表 3.2 2716 的工作模式选择

操作	PD/PGM	$\overline{CS}$	$V_{pp}$	$V_{cc}$	数据输出
读	低	低	+5 V	+5 V	输出
未选中	无关	高	+5 V	+5 V	高阻
功率下降	高	无关	+5 V	+5 V	高阻
编程	由低到高脉冲	高	+25 V	+5 V	输入





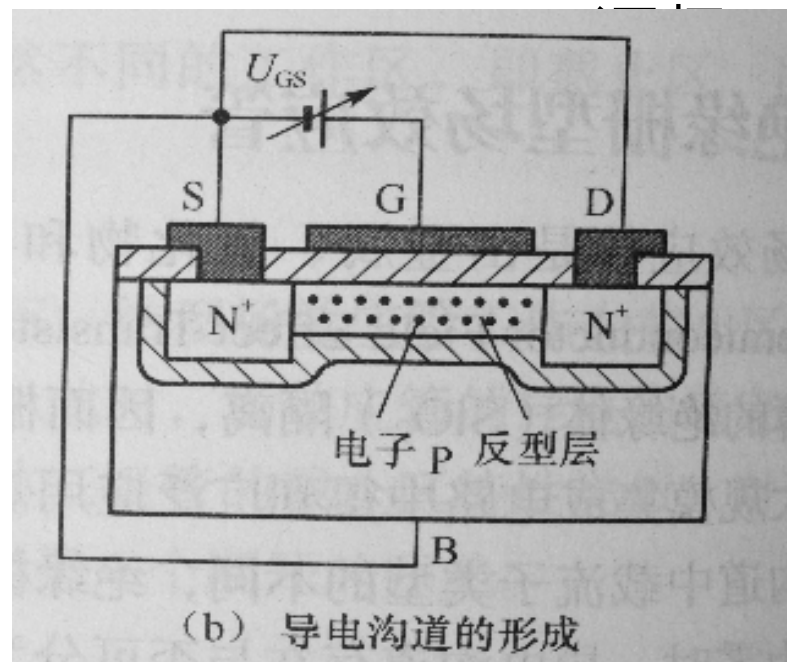
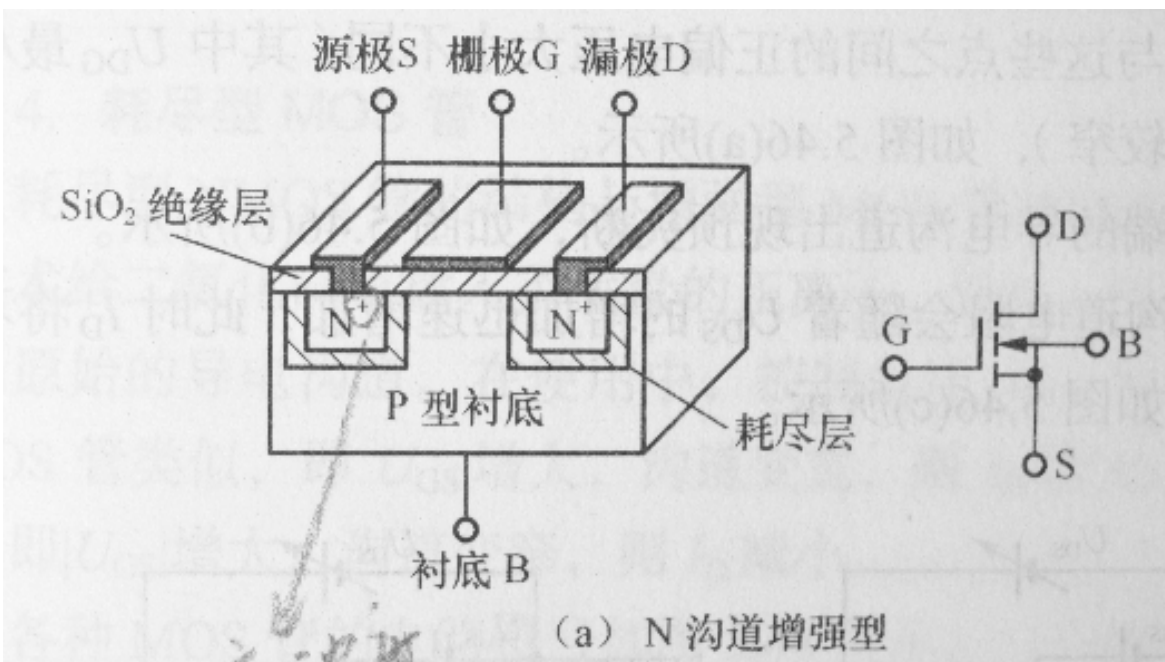
由于2716的容量为2 K×8位，故用11条地址线，7条用于行译码，4条用于列译码。8位输出均有缓冲器。☒

为了减少功耗，EPROM还可以工作在功耗下降（备用）方式。此时功耗可由525 mW下降至132 mW，降低75%，对机器工作十分有利。这可以通过在PD/PGM输入端输入一个高平信号来实现，此时EPROM输出端工作在高阻状态。在正常工作情况下，CS端与PD/PGM端是连在一起的。因此，没有选中的芯片就工作在功耗下降方式，以降低功耗。



# 复习:

## 1、MOS ( Metal-Oxide-Semiconductor ) 器件的结构和特点:



- $U_{GS}=0$ 时，无论 $U_{DS}$ 方向如何，MOS管内不能形成导电沟道，即D, S间无漏极电流，相当于开关断开。
- $U_{GS}>$ 开启电压时，MOS管内形成导电沟道，在D,S端加上电压后就会形成漏极电流。

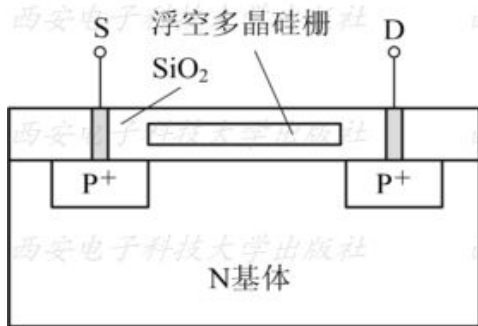




## 2、EPROM的存储元

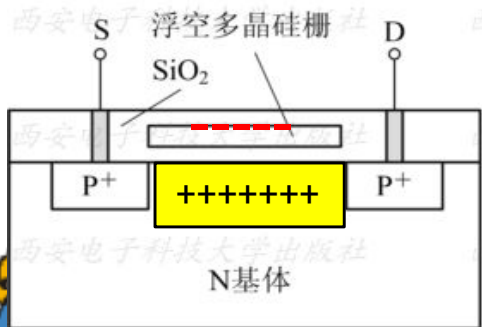
也是由MOS管构成的，但是MOS管的栅极G是浮埋在SiO<sub>2</sub>绝缘体中，而且没有引线。

击穿前



电特性：

- $U_{SD} < \text{击穿电压}$  时，S、D间无电流，相当于开关断开。
- 当  $U_{SD} > \text{击穿电压}$  时，PN结被击穿导电。一部分电子越过SiO<sub>2</sub>聚集在浮栅上。当  $U_{SD}$  撤销后，形成带负电的栅极，并在S、D之间感应出**导电沟道**。相当于击穿后变成了导体。这样，即使  $U_{SD}$  很小，也会产生漏极电流。



击穿后

(a)

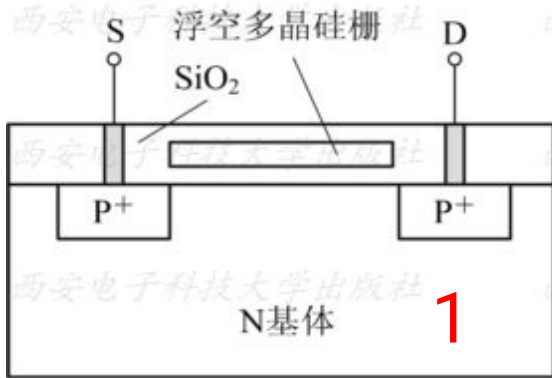
(b)



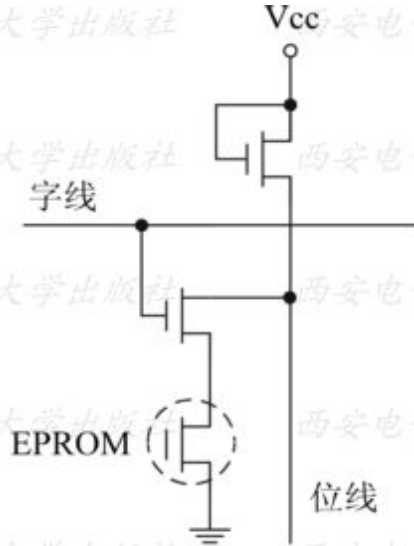
西安电子科技大学出版社

西安电子科技大学出版社

Vcc 安电



(a)



(b)

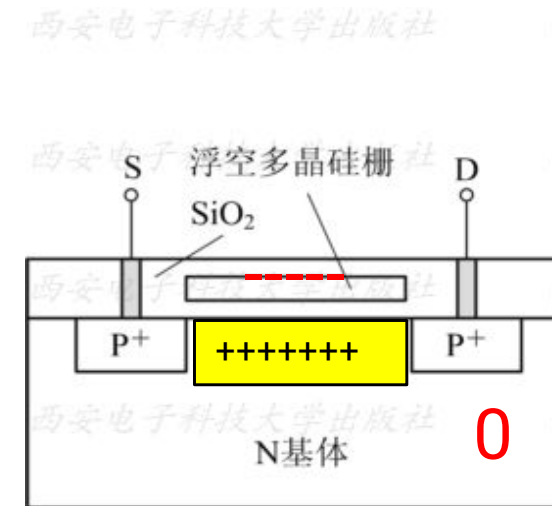
相当于断开，于是位线上为高电压，相当于在MOS管中存了“1”。

西安电子科技大学出版社

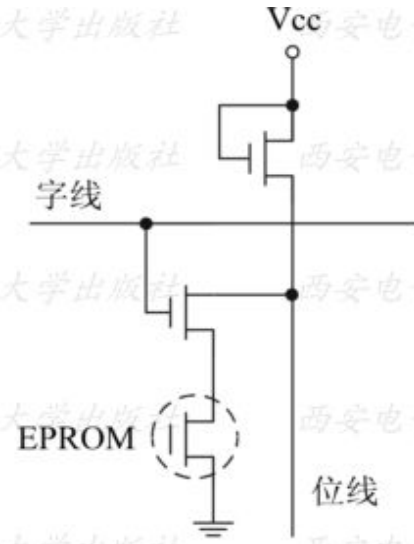
西安电子科技大学出版社

西安电

击穿前



(a)



(b)

相当与于导体，于是位线上为低电压，相当于在MOS管中存了“0”。

西安电子科技大学出版社

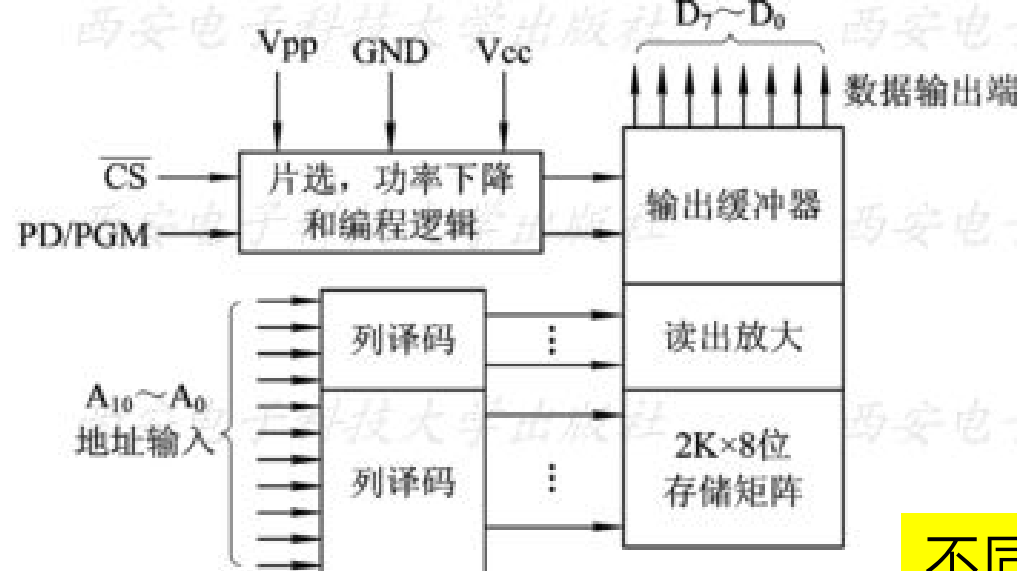
西安电子科技大学出版社

西安电

击穿后

总结：用浮动栅极绝缘MOS管中是否存在导电沟道来表示数据1和0。





不同工作模式下，控制信号的状态

表 3.2 2716 的工作模式选择

操作	PD/PGM	$\overline{CS}$	Vpp	Vcc	数据输出
读	低	低	+5 V	+5 V	输出
未选中	无关	高	+5 V	+5 V	高阻
功率下降	高	无关	+5 V	+5 V	高阻
编程	由低到高脉冲	高	+25 V	+5 V	输入

**注意：**

- 1、地址管脚的位数与存储矩阵的大小相对应；
- 2、有两个电源：Vcc和Vpp。编程时Vpp加25V电压，读时加5V；
- 3、PD/PGM:功耗下降模式/编程输入脉冲。



**编程过程**（写入数据0的过程）：

- （1）首先在 $V_{pp}$ 上加载25V击穿电压
- （2）通过字线选中存储单元
- （3）CS置为高电平。通过PD/PGM输入一个由低到高的脉冲。
- （4）击穿PNP结，在浮动栅极上积累负电荷
- （5）持续一段时间后，撤销25V击穿电压，在N基体中形成P导电沟道（空穴导电沟道）。该状态说明存储单元中已存了数据0.

**擦写过程**（恢复出厂状态的过程，或写入数据1的过程）

- （1）用紫外线照射浮动栅极，使电子越过氧化物进入N基体
- （2）浮动栅极没有负电荷时，P导电沟道消失，于是MOS管断开。该状态说明存储了数据1.





## 思考和总结：

在SRAM、DRAM和EPROM存储元中，

- 1、用什么器件来存储数据？
- 2、用器件的什么状态来表示1和0？
- 3、某一RAM芯片，其容量为512 X 8位，除电源和接地端，该芯片引出线的最小数目是（ ）  
(A) 23      (B) 25      (C) 50      (D) 19
- 4、某计算机字长32位，其存储容量为16MB，若按双字编址，它的寻址范围是（ ）  
(A) 16MB      (B) 2M      (C) 8MB      (D) 16M





## 3.4 半导体存储器的容量扩展

CPU对主存储器进行读/写操作时，是先通过地址总线给出访存地址，然后再通过控制总线发出读/写操作控制信号，最后对该地址的内容进行读/写操作，并通过数据总线传送信息。因此，主存储器与CPU在连接时，要完成地址线、数据线和控制线的连接。

一个存储器芯片的容量是有限的，它在字数或字长方面与实际存储器的要求都有很大差距，所以需要对**字向**和**位向**进行扩充才能满足需要。常用的扩充方法有位扩展法、字扩展法和字位扩展法。





## 3.4.1 位扩展

位扩展法是指用多个存储器芯片对**字长**进行扩充。该方法是将多个存储器芯片的**地址线和控制线公用**，数据线分别引出。

实际存储器所需芯片数的计算公式为

$$\text{所需芯片数} = \frac{\text{实际存储器容量}}{\text{已知芯片存储容量}} \quad (3.1)$$





**[例3.2]** 使用16 K×4位的SRAM芯片，设计一个存储容量为16 K×8位的存储器。☒

**解：**所需芯片数为

$$\text{所需芯片数} = \frac{16\text{K} \times 8}{16\text{K} \times 4} = 2 \quad (\text{片})$$

设计的存储器字长为8位，每个芯片字长为4位，每个芯片有14条地址线，4条数据线。其中，地址线和控制线公用，数据线分高4位和低4位，且数据线是双向的。具体连接如图3.11所示。





地址线、控制线公用  
数据线分别引出

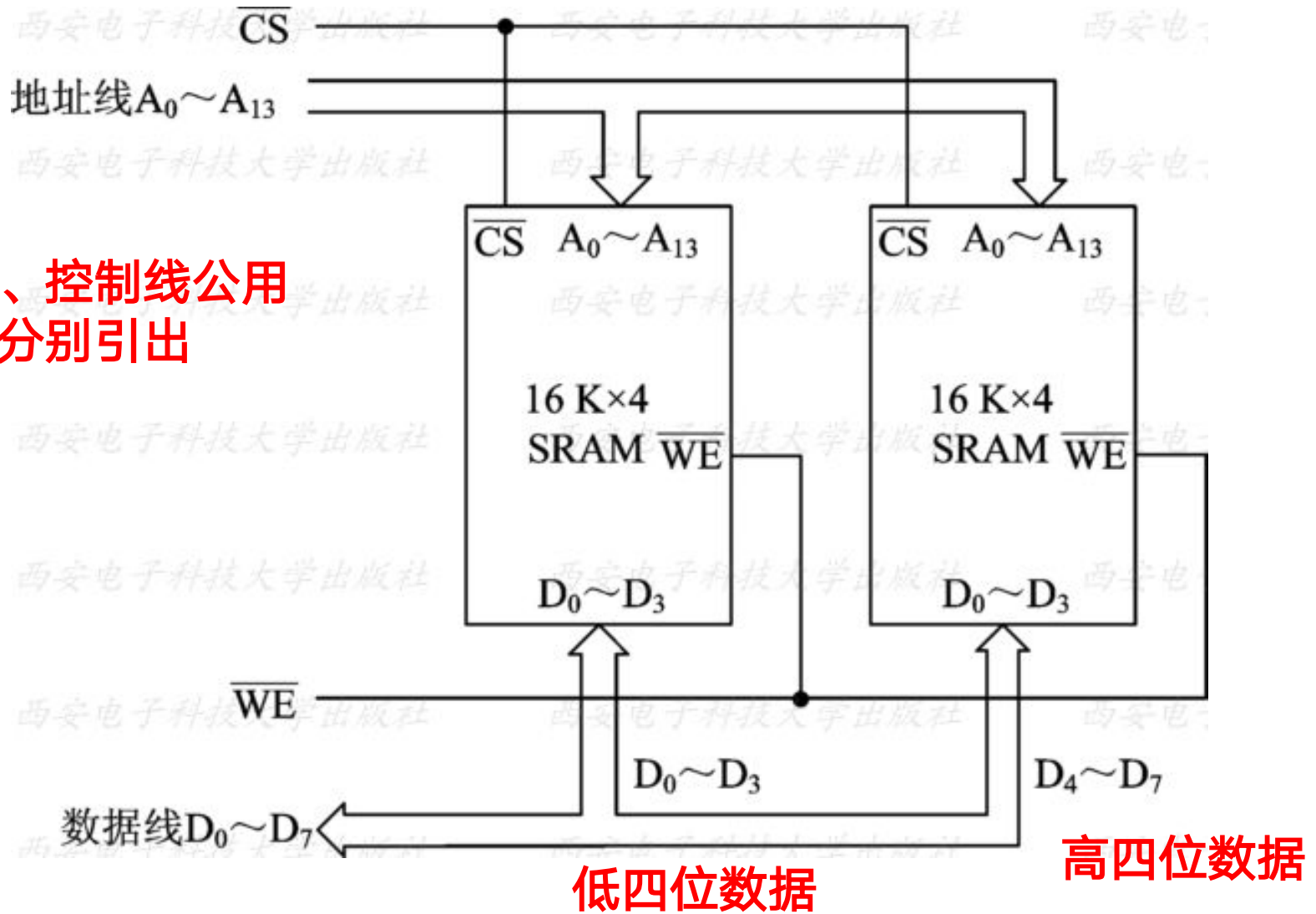


图3.11 位扩展连接方式





## 3.4.2 字扩展

字扩展法是指增加存储器中字的数量。存储器进行字扩展时，将各芯片的**地址线、数据线和读/写控制线公用**，而由**片选信号  $\overline{CS}$  来区分各芯片的地址范围**。通常要借助负逻辑的译码器将高位地址或高位地址的一部分经译码后实现芯片选择。

**[例3.3]** 使用16 K×8位的SRAM芯片，设计一个存储容量为64 K×8位的存储器。

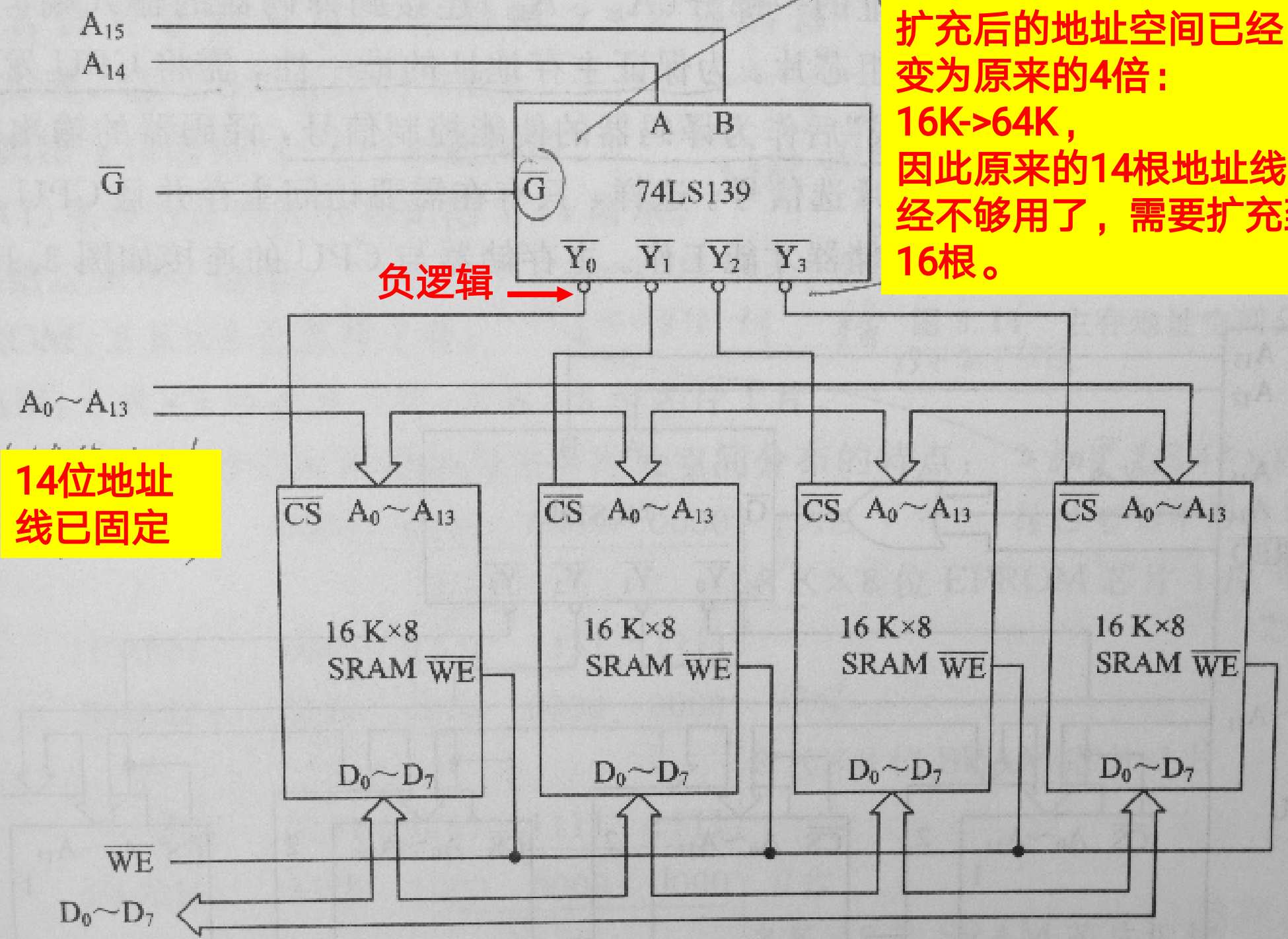
**解：** 所需芯片数为

$$\text{所需芯片数} = \frac{64\text{K} \times 8}{16\text{K} \times 8} = 4 \quad (\text{片})$$





扩充后的地址空间已经变为原来的4倍：  
 16K→64K，  
 因此原来的14根地址线已经不够用了，需要扩充到16根。



14位地址线已固定

图 3.12 字扩展连接方式 → 代替  $\overline{CS}$  端.



74LS139是一个负逻辑2/4线译码器。其真值表为：

A15	A14	-Y0	-Y1	-Y2	-Y3
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

最高位为00，片选第1个SRAM芯片

01， 2

10， 3

11， 4

思考：

请问地址0x1234访问的是  
哪个SRAM芯片上的哪个地址？





### 3.4.3 字位扩展

实际存储器往往需要字向和位向同时扩充。一个存储器的容量为 $M \times N$ 位，若使用 $L \times K$ 位存储器芯片，那么，这个存储器共需要  $\frac{M}{L} \times \frac{N}{K}$  存储器芯片。☒

**[例3.4]** CPU的地址总线为16根( $A_{15} \sim A_0$ ， $A_0$ 为低位)，双向数据总线为8根( $D_7 \sim D_0$ )，控制总线中与主存有关的信号有  $\overline{MREQ}$ （允许访存，低电平有效）、 $R/W$ （高电平为读命令，低电平为写命令）。使用4 K×4位的SRAM芯片，设计一个存储容量为16 K×8位的主存储器，画出主存储器与CPU的连接图。





解：所需芯片数为

$$\text{所需芯片数} = \frac{16\text{K} \times 8}{4\text{K} \times 4} = 4 \times 2 = 8 \quad (\text{片})$$

设计主存储器时先将8片SRAM芯片分成四组（每组两片），每组中的两片SRAM芯片进行位扩展，然后再将四个芯片组进行字扩展。□

4 K×4位的SRAM芯片本身共有12个地址端（ $A_0 \sim A_{11}$ ）、4位数据端（ $D_0 \sim D_3$ ）、1个片选端  $\overline{CS}$  和一个读/写控制信号端

$\overline{WE}$





CPU提供16位地址，其中低12位（ $A_0 \sim A_{11}$ ）并行连接到各芯片的地址端，高位地址的一部分（ $A_{12}$ 、 $A_{13}$ ）连接到译码器的输入端，经译码后产生四个片选信号，分别控制四组芯片。为保证主存地址的惟一性，需将CPU发出的高位地址中未使用部分与  $\overline{MREQ}$  相“或”后作为译码器的使能控制信号，译码器的输出分别作为四组4 K×8位的SRAM芯片的片选信号。这样，只有在需要访问主存并且CPU发出的地址在主存地址空间范围内时主存储器才能工作。主存储器与CPU的连接如图3.13所示。



地址空间：64K（16根线）  
存储器占据：16K（14根线）  
其中，每个存储器只有4K，  
只用到了12根线，还有2根  
留作2/4线译码之用。

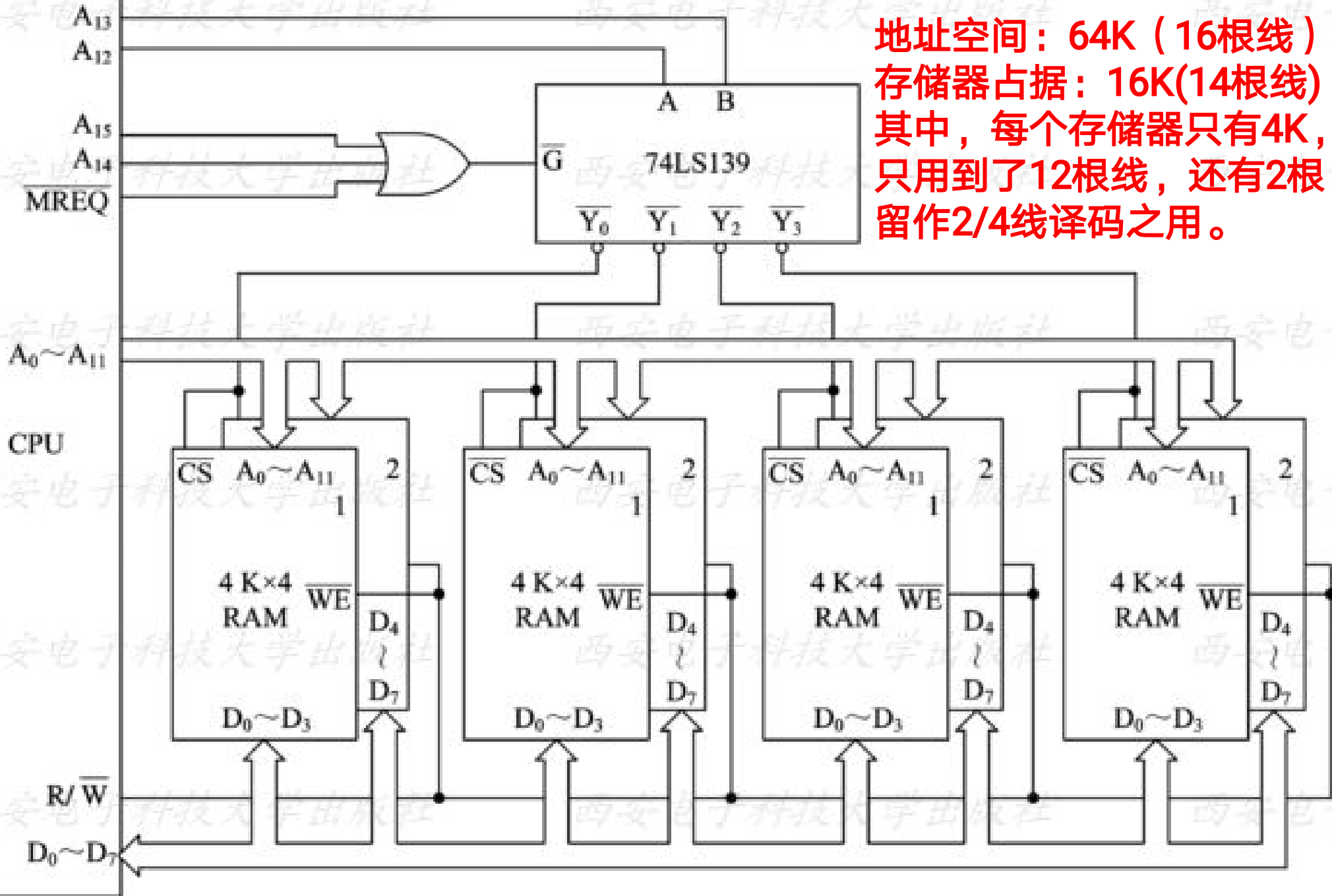


图3.13 主存储器与CPU的连接图





简单计算：

求第2个SRAM芯片上的地址范围。

(1) 第2个SRAM芯片被Y1选中，对应的A13，A12为01

(2) 第2个SRAM芯片的局部地址范围是（12根线）：

0000 0000 0000~~~~1111 1111 1111

全局地址范围是：

xx01 0000 0000 0000~~~~ xx01 1111 1111

1111





在例3.4中，我们**并没有考虑各芯片组的具体地址范围**，只是保证了主存储器设计的正确性以及主存地址的惟一性。读者可以自己分析一下在图3.13中各芯片组的具体地址范围。若各芯片组的地址范围有明确的限制，则各译码器的输入端和各组芯片的片选信号的连接就必须根据具体的地址范围要求来设计。下面我们以例3.5来说明这类问题的设计方法。







[例3.5] CPU的地址总线为16根( $A_{15} \sim A_0$ ,  $A_0$ 为低位), 双向数据总线为8根( $D_7 \sim D_0$ ), 控制总线中与主存有关的信号有  $\overline{MREQ}$  (允许访存, 低电平有效)、 $\overline{R/W}$  (高电平为读命令, 低电平为写命令)。主存地址空间分配如下:  $0 \sim 8191$  (**8K区域**) 为系统程序区, 由只读存储芯片组成;  $8192 \sim 32767$  (**24K区域**) 为用户程序区; 最后(最大地址)**2K**地址空间为系统程序工作区。上述地址为十进制, 按**字节编址**。现有如下存储器芯片:





EPR0M: 8 K×8位(控制端仅有  $\overline{CS}$ ); ☒

SRAM: 16 K×1位, 2 K×8位, 4 K×8位, 8 K×8位。

(1) 请从上述芯片中选择适当的芯片及个数设计该计算机的主存储器; ☒

(2) 若选片逻辑采用门电路和3:8译码器74LS138实现, 请写出地址译码方案; ☒

(3) 画出主存储器与CPU的连接图。☒

解: (1) 主存地址空间分布如图3.14所示。☒

根据给定条件, 选用: ☒

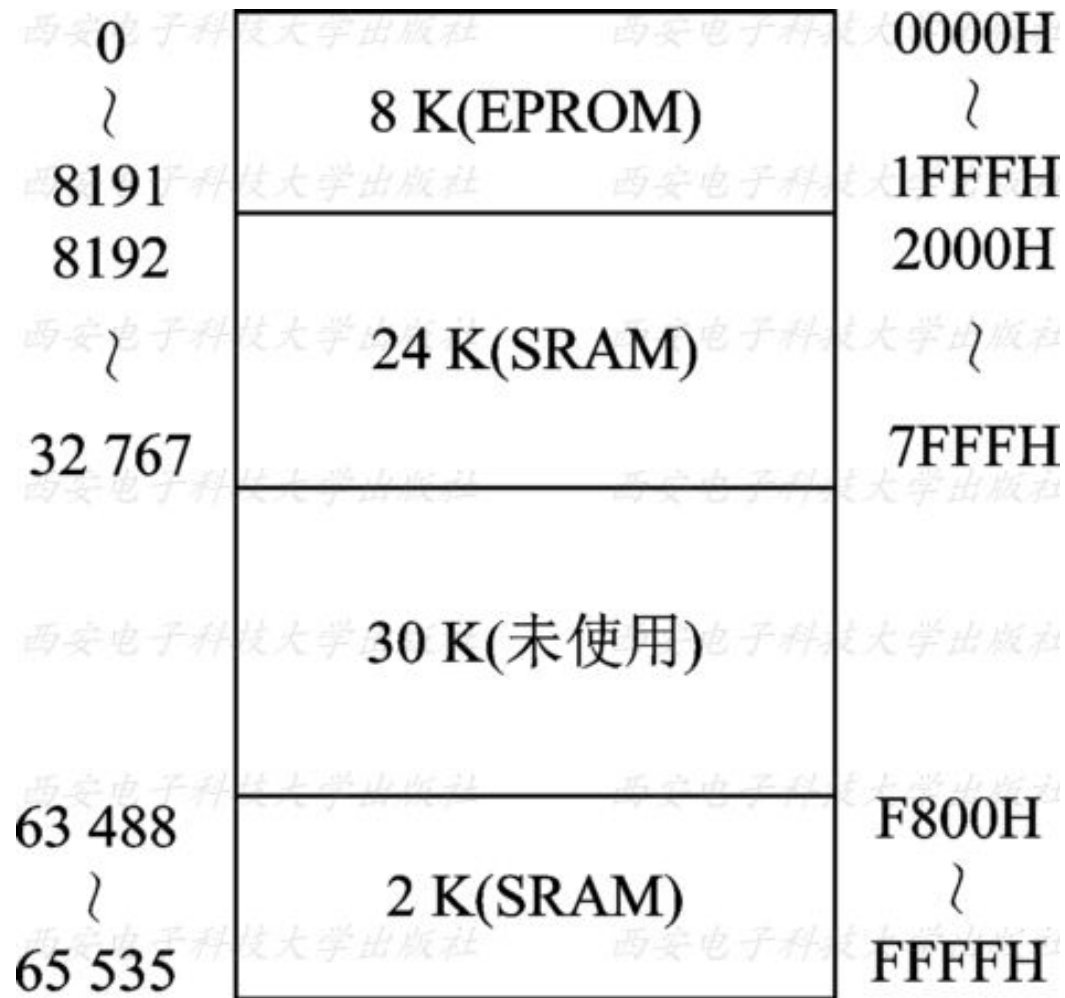
EPR0M: 8 K×8位芯片1片; ☒

SRAM: 8 K×8位芯片3片, 2 K×8位芯片1片。☒





## 64地址空间



FFFF-0800+1

图3.14 主存地址空间分布图





0000H	0000	0000	0000	0000	} 8 K×8 位 EPROM 芯片 1 片
}				}	
1FFFH	0001	1111	1111	1111	} 8 K×8 位 SRAM 芯片 3 片
2000H	0010	0000	0000	0000	
}				}	
7FFFH	0111	1111	1111	1111	} 2 K×8 位 SRAM 芯片 1 片
F800H	1111	1000	0000	0000	
}				}	
FFFFH	1111	1111	1111	1111	





其中有下列划线的二进制地址位表示可直接连接在芯片地址引脚上的地址线和它的地址编码范围，未加下划线的二进制地址位是芯片选择的特征信息。

CPU发出的允许访存信号MREQ与译码器74LS138的其中一个使能端G2A相连，74LS138的其他使能端均置为无效状态。

(3) 画出主存储器与CPU的连接图，具体如图3.15所示。



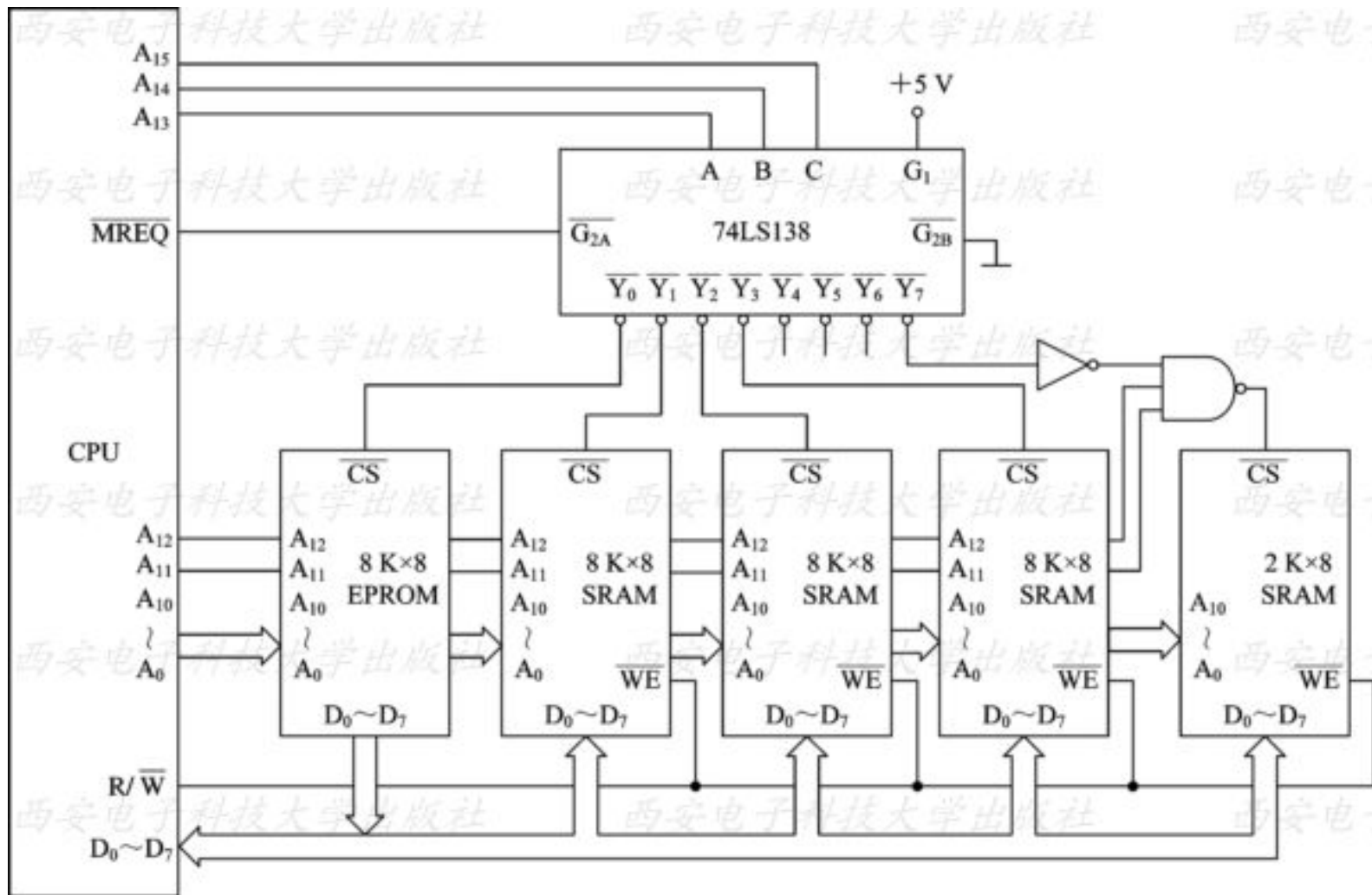


图3.15 主存储器与CPU的连接图





习题：

P153

2、4、6





练习：

某计算机系统中CPU有16根地址线，8根数据线，1根读写命令线，用 $\overline{\text{MREQ}}$ 作为访存控制信号（低电平有效）。现有存储芯片包括ROM（ $2\text{K}\times 8$ ， $4\text{K}\times 4$ ， $8\text{K}\times 8$ ），RAM（ $1\text{K}\times 4$ ， $2\text{K}\times 8$ ， $4\text{K}\times 8$ ）。要求按照以下要求设计存储系统，并画出逻辑框图。

（1） $0\sim 4095$ 地址范围内为系统程序区， $4096\sim 16383$ 地址为用户程序区。

（2）在所给范围内选出合适类型的芯片

（3）采用3：8译码器进行片选，画出片选逻辑框图。







### 【例3.3】扩展

CPU地址线为16位，数据线为8位。使用16K\*8位的SRAM芯片，设计

- (1) 一个容量为64K\*8位的存储器；
- (2) 一个容量为128K\*8位的存储器；
- (3) 一个容量为32K\*8位的存储器；
- (4) 一个容量为48K\*8位的存储器。

给出每种情况下的地址分配和CPU连接图。





P109 T5

某机器浮点数字长为18位，格式如下所示。已知阶码（含阶符）用补码表示，尾数（含数符）用原码表示。

- (1) 将 $(-1027)_{10}$ 表示成规格化浮点数；
- (2) 浮点数 $(0EF43)_{16}$ 是否是规格化浮点数？它所表示的真值是多少？

